

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-189340

(43)Date of publication of application : 30.07.1993

(51)Int.Cl. G06F 13/00  
H04B 7/15  
H04J 3/00

(21)Application number : 04-003504

(71)Applicant : NEC ENG LTD

(22)Date of filing : 13.01.1992

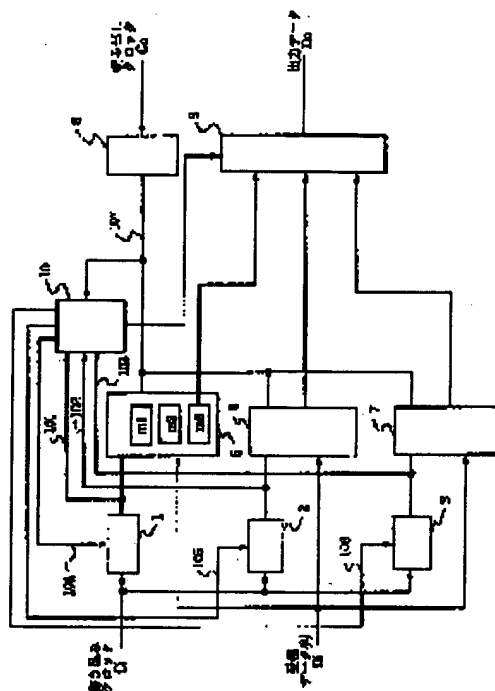
(72)Inventor : KAKIMOTO KAZUO

## (54) DATA DELAY CONTROL SYSTEM

## (57)Abstract:

PURPOSE: To avoid the next writing from being started before the completion of reading by switching a read memory by providing a phase comparing and judging equipment and a selector.

CONSTITUTION: At least more than three sets of memories 5, 6, and 7 are arranged in parallel, and one received data column is simultaneously written in each memory. Then, memory writing address control parts 1, 2, and 3 controls operates the plural memories 5, 6, and 7 by writing addresses having arbitrary different time phases. This system is equipped with a phase comparing and judging part 10 which compares and judges the plural writing control signals and the reading control signals when the reading of data is operated by a memory reading address control part 8 after the lapse of a time delayed a little from the transmission path delay time fluctuation of the data column from the completion of the writing of data, and a selecting circuit 9 which recognizes the phase compared and judged result, judges the time phase margin of the writing and reading, selects the memory, and reads the data.



## LEGAL STATUS

[Date of request for examination] 18.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



1

## 【特許請求の範囲】

【請求項1】 連続する受信データ列とこの受信データ列に付随する書き込みクロックとを入力し、随時書き込み読みだし可能な複数個の直並列接続されたメモリと、これらのメモリに受信データ列に付随するクロックで書き込み制御するメモリ書き込みアドレス制御部と、前記メモリから読み出すクロックで動作するメモリ読み出しアドレス制御部とを有するデータ遅延制御方式において、前記メモリを並列に最低3組以上配置し、1つの受信データ列を同時にそれぞれのメモリに書き込み前記メモリ書き込みアドレス制御部は複数のメモリにそれぞれ異なる任意の時間位相を持つ書き込みアドレス制御を行ない、メモリの読み出しを書き込み完了時から前記データ列の伝送路遅延時間変動より少し遅れた時間経過後に行う場合に、この前記複数の書き込み制御信号と前記読み出し制御信号とをそれぞれ比較判定する位相比較判定器と、この位相比較判定結果を認知し書き込み読み出しの時間位相余裕を判定してメモリを選択して読み出す選択回路とを有することを特徴とするデータ遅延制御方式。

【請求項2】 前記位相比較判定器が現在読み出し中のメモリの時間位相余裕が少なくなったことを認知すると他の2つのメモリのいずれか1つに安全位相余裕をもつメモリ書き込みアドレス制御部にアドレスをプリセットすることを特徴とする請求項1記載のデータ遅延制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はデータ遅延制御方式に関し、特に衛星通信によるデータ多重通信ネットワークにおいて、メモリに受信されたデータの書き込みと読み出しを交互に行う場合に、その時間シーケンスを改良したデータ遅延制御方式に関する。

## 【0002】

【従来の技術】 従来この種のデータ遅延制御方式は、連続する受信データ列を入力して随時書き込み読みだし可能なメモリを1個あるいは複数個並列に接続して構成されている。これらのメモリに書き込みと読み出し動作が一致することなく作用する2つ以上の異なるメモリ回路と、受信データ列に付随するクロックで動作するメモリ書き込みアドレス制御部と、メモリを読み出すクロックで動作するメモリ読み出しアドレス制御部とを有している。これらの書き込み読み出し動作は、1つの受信データ列をそれぞれ異なる時間に交互にそれぞれの2つのメモリ回路に書き込むとき、メモリ書き込みアドレス制御回路はそれぞれのメモリ回路にそれぞれ同じ時間位相を持つ書き込みアドレス制御を行ない、メモリ読み出しは書き込み完了時から前記データ列の伝送路遅延時間変動より少し遅れた時間経過後に行う。このメモリ読み出し動作は最初に設定された時間位相を基準とするメモリ読

2

み出しアドレス制御に従って、メモリ回路のいずれか1つのメモリから交互に随時読み出しする制御を行なうデータ遅延制御方式である。

## 【0003】

【発明が解決しようとする課題】 この従来のデータ遅延制御方式では、書き込みと読み出しのクロック周波数が異なっているので、書き込みと読み出しを制御するそれぞれ異なったクロック周波数の差で生ずる時間差の積算時間が受信データ列のおおの1ビットの時間幅を合計した時間、すなわち、メモリの蓄積可能なビット数の積を超える程に大きくなった場合には、書き込みと読み出しを交互に行なうメモリの制御において読み出しが完了する前に新たなデータが書き込まれる事態が生じることがある。この状況は、メモリ入力されるデータ列が長期的な時間変動を含む性質があるデータネットワークにおいては原理的に回避できない現象であり、また仮に書き込み読み出しクロック周波数差を限りなくゼロに近づけたとしても、種々の伝送路長の差および通信衛星の軌道上の位置変動に起因する伝送路長の変動があるので回避できない。一方メモリの蓄積容量には経済的に実現できる限界があり特に通信データ速度が高速になるに従って一定時間の遅延吸収に要するメモリの蓄積ビット数はデータ速度の指数関数的に増大し、メモリの動作速度上の限界を超えることになりいずれ実現不可能となるという欠点を有している。

## 【0004】

【課題を解決するための手段】 本発明のデータ遅延制御方式は、連続する受信データ列とこの受信データ列に付随する書き込みクロックとを入力し、随時書き込み読みだし可能な複数個の直並列接続されたメモリと、これらのメモリに受信データ列に付随するクロックで書き込み制御するメモリ書き込みアドレス制御部と、前記メモリから読み出すクロックで動作するメモリ読み出しアドレス制御部とを有するデータ遅延制御方式において、前記メモリを並列に最低3組以上配置し、1つの受信データ列を同時にそれぞれのメモリに書き込み前記メモリ書き込みアドレス制御部は複数のメモリにそれぞれ異なる任意の時間位相を持つ書き込みアドレス制御を行ない、メモリの読み出しを書き込み完了時から前記データ列の伝送路遅延時間変動より少し遅れた時間経過後に行う場合に、この前記複数の書き込み制御信号と前記読み出し制御信号とをそれぞれ比較判定する位相比較判定器と、この位相比較判定結果を認知し書き込み読み出しの時間位相余裕を判定してメモリを選択して読み出す選択回路とを有する。

## 【0005】

【実施例】 次に本発明について図面を参照して説明する。図1は本発明の一実施例のデータ遅延制御方式のブロック図である。図1において時間的に間欠することなく連続する受信データ列D<sub>i</sub>と受信データ列に付随する

10

20

30

40

50

書き込みクロックC<sub>i</sub>を入力する。随時書き込み読みだし可能なメモリ5～7を1個あるいは複数個用いてこれを並列または直並列接続して構成する。このメモリ5～7内には書き込みと読み出し動作が同一のメモリに対して一致することなく作用する3つの異なるメモリ回路m<sub>1</sub>～m<sub>3</sub>を有する。また、受信データ列に付随する書き込みクロックC<sub>i</sub>で動作するメモリ書き込みアドレス制御部1～3と、メモリを読み出すクロックC<sub>o</sub>で動作するメモリ読み出しアドレス制御部8と、メモリ5～7からの読み出しデータを選択出力するセクタ9と、後述する読み出しクロックの位相比較判定器10とを有する。

【0006】次に本実施例の動作を説明する。メモリ5～7を並列に3組配置し、1つの受信データ列D<sub>i</sub>を同時にそれぞれのメモリ5～7に書き込む場合に、メモリ書き込みアドレス制御部1～3は、3つのメモリ5～7にそれぞれ異なる任意の時間位相を持つ書き込みアドレス制御を行なう。メモリ読み出しアドレス制御部8はメモリ読み出しを書き込み完了時から受信データ列の伝送路遅延時間変動より少し遅れた時間経過後に行い、メモリ読み出し動作が最初に設定された時間位相を基準とするメモリ読み出しアドレス制御に従ってメモリ5～7の中から任意のメモリ出力を選択するセクタ9を用いて1つのメモリから随時読み出しを行ないセクタ9から遅延補正された出力D<sub>o</sub>を出力する。ここでメモリ書き込みアドレス制御部1～3の任意の時間位相を持つタイミング制御は、位相比較判定器10によりメモリ書き込みアドレス101～103とメモリ読み出しアドレス107とを比較する事により、読み出しと書き込みの時間位相余裕を位相比較判定器10を用いて判定する。すなわち現在読み出し中の任意のメモリの時間位相余裕が少なくなった事を察知したときに、他の2つのメモリのい

ずれか1つに安全位相余裕をもつアドレスをプリセットする制御信号104～106を送出する。また位相比較判定器10はセクタ9に対してメモリ5～7の読み出しメモリ切替信号も同時に出力し、実際の切替動作は読み出しアドレスをプリセットする制御信号104～106を出力した後に行なわれ、この時間差は伝送路遅延時間変動より少し遅れた時間経過後に行われる。

【0007】

【発明の効果】以上説明したように本発明は、一つの受信データ列を3つの異なるメモリにそれぞれ異なる任意の時間位相を持つ書き込みアドレスをもって記憶することで同一の読み出しアドレスで動作するメモリ読み出し回路において、位相比較判定器とセクタとを備えることにより、読み出しメモリを切り替えることで読み出し完了前に、次の書き込み開始されることを回避できる。したがって受信データ列の長期的な時間変動を含む性質があるデータネットワークにおいて、データ蓄積読み出し機能を用いた遅延制御を行なうときメモリの蓄積容量を比較的少ない構成で実現できる。またメモリの蓄積限界を超える遅延変動に対しても事前にメモリを切り替えることでデータの連続性を損なうことなく遅延制御を行える効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【符号の説明】

- 1～3   メモリ書き込みアドレス制御部
- 5～7   メモリ
- 8   メモリ読み出しアドレス制御部
- 9   セクタ
- 10   位相比較判定器
- m<sub>1</sub>～m<sub>3</sub>   メモリ回路

[illegible]